

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07115596 A
(43) Date of publication of application: 02.05.1995

(51) Int. Cl H04N 5/44
H03J 5/02, H03J 7/18

(21) Application number: 05258111
(22) Date of filing: 15.10.1993

(71) Applicant: MATSUSHITA ELECTRON CORP
SONY CORP
(72) Inventor: NIWA HIROSHI
WATANABE TAKESHI
OBAYASHI TOSHIYUKI

(54) CHANNEL SELECTION CIRCUIT

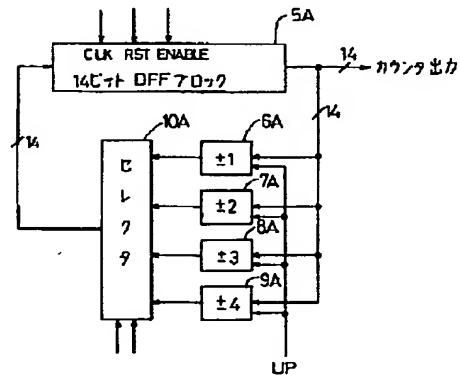
(57) Abstract:

PURPOSE: To provide the channel selection circuit in which the operation stability is improved and an optimum search speed is selected in details.

CONSTITUTION: In an up-down counter being a tuning voltage generating counter of the channel selection circuit, 14 outputs from a 14-bit DFF block 5A comprising 14 sets of D flip-flop circuits are fed respectively to incrementers 6A-9A each having increments of +2 to +4 and outputs of the incrementers 6A-9A are fed to a selector 10A. The output of the selector 10A is selected among outputs of the incrementers 6A-9A based on any of an output of a UHF/VHF changeover circuit and an output from an external pin and fed to the 14-bit DFF block 5A. Thus, a step width of a count out-

put of the up-down counter is changed and a search speed of channel selection of broadcast stations is changed.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-115596

(43)公開日 平成7年(1995)5月2日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 04 N 5/44

J

H 03 J 5/02

Z 8523-5K

7/18

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平5-258111

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(22)出願日 平成5年(1993)10月15日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 丹羽 弘

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 渡邊 剛

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 弁理士 前田 弘 (外2名)

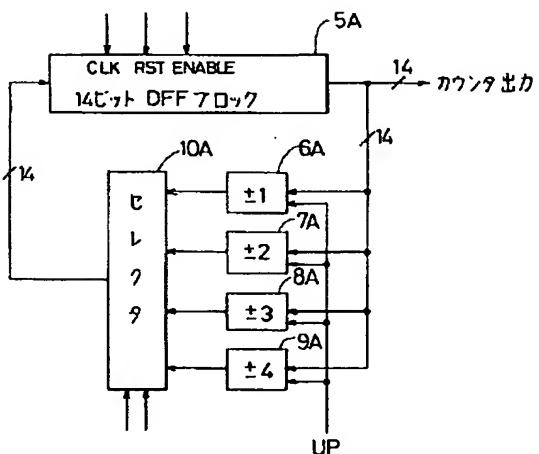
最終頁に続く

(54)【発明の名称】 選局回路

(57)【要約】

【目的】 動作の安定性を向上でき、細部に亘って最適なサーチスピードを選択できる選局回路を提供する。

【構成】 選局回路の同調電圧発生カウンタとしてのアップダウンカウンタにおいて、14個のDフリップフロップから構成される14ビットDFFブロック5Aからの14本の出力は+1~+4のインクリメント量をそれぞれ持つインクリメンタ6A~9Aに供給され、インクリメンタ6A~9Aからの出力はセレクタ10Aに供給される。セレクタ10Aの出力は、映像信号検出回路の出力、UHF/VHF切り替え回路の出力及び外部ピンから出力のうちの何れかの出力によって、インクリメンタ6A~9Aの出力の中から選択され、14ビットDFFブロック5Aに供給される。これにより、アップダウンカウンタのカウンタ出力のステップ幅を変化させることができ、放送局の選局のサーチスピードを変化させることができる。



【特許請求の範囲】

【請求項1】 クロック信号に同期してディジタル値をカウントするアップダウンカウンタを備え該アップダウンカウンタから出力される前記ディジタル値の変化速度に応じたサーチスピードで選局を行なう選局回路であつて、

前記アップダウンカウンタは、前記ディジタル値における前記クロック信号の1クロック当たりの増加分又は減少分である可変なステップ幅を有し、

該ステップ幅を、水平同期信号の有無、VHF受信とUHF受信との切り替え、又は、外部からの制御信号によって変化させるように構成されていることを特徴とする選局回路。

【請求項2】 前記アップダウンカウンタは、互いに異なる前記増加分を供給する複数の増加分供給手段と、互いに異なる前記減少分を供給する複数の減少分供給手段とを有していることを特徴とする請求項1に記載の選局回路。

【請求項3】 前記アップダウンカウンタは、1未満の値に重み付けられたフリップフロップと、1未満の前記増加分を供給する増加分供給手段又は1未満の前記減少分を供給する減少分供給手段とを有していることを特徴とする請求項1に記載の選局回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はテレビ等の選局回路に関するものである。

【0002】

【従来の技術】 従来より、TV等の選局回路、特に普及機用のTVの選局回路においては、放送局を選局するために、同調電圧発生カウンタの値をアナログ値に変換してチューナー部に供給し、チューナー部からのAFT電圧を基にして同調電圧発生カウンタにおけるカウントアップ、カウントダウン又はカウントの停止等の動作を制御するものが知られている。

【0003】 図4は従来の選局回路の一例を示す。図4において、17は同調電圧発生カウンタとしてのアップダウンカウンタを示しており、アップダウンカウンタ17のクロックは、クロック発生回路19～22から発生されるクロックの中からセレクタ18により1種類のクロックが選択される。クロック発生回路19～22により供給されるクロックの周波数は互いに全て異なったものであり、クロック発生回路の選択を変更することにより選局のためのサーチスピードを変えることができる。このことを利用して、映像信号非検出時即ち離調時には高い周波数の速いクロックを選択し、映像信号検出時即ち同調時には低い周波数の遅いクロックを選択して同調電圧発生カウンタを駆動することによって、高速で確実な選局動作を実現している。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の選局回路においては、選局のサーチスピードを変更するために、相異なる周波数のクロックを切り替えるため、論理回路が完全同期回路とならず、論理回路の動作が不安定となるという問題点がある。

【0005】 また、クロック周波数の切り替えを映像信号の検出、非検出のみにより行っているため、細部に亘って適当なサーチスピードを選択することができないという問題点もある。

【0006】 本発明は、前記に鑑みなされたものであつて、動作の安定性を向上でき、細部に亘って最適なサーチスピードを選択できる選局回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 前記の目的を達成するため、請求項1の発明は、同調電圧発生カウンタとしてのアップダウンカウンタのディジタル値のステップ幅を、水平同期信号の有無、VHF受信及びUHF受信の切り替え、又は、外部からの制御信号によって変化させるものである。

【0008】 具体的に請求項1の発明が講じた解決手段は、クロック信号に同期してディジタル値をカウントするアップダウンカウンタを備え該アップダウンカウンタから出力される前記ディジタル値の変化速度に応じたサーチスピードで選局を行なう選局回路を対象とし、前記アップダウンカウンタは、前記ディジタル値における前記クロック信号の1クロック当たりの増加分又は減少分である可変なステップ幅を有し、該ステップ幅を、水平同期信号の有無、VHF受信とUHF受信との切り替え、又は、外部からの制御信号によって変化させる構成とするものである。

【0009】 請求項2の発明は、具体的には、請求項1の発明の構成に、前記アップダウンカウンタは、互いに異なる前記増加分を供給する複数の増加分供給手段と、互いに異なる前記減少分を供給する複数の減少分供給手段とを有している構成を付加するものである。

【0010】 請求項3の発明は、具体的には、請求項1の発明の構成に、前記アップダウンカウンタは、1未満の値に重み付けられたフリップフロップと、1未満の前記増加分を供給する増加分供給手段又は1未満の前記減少分を供給する減少分供給手段とを有している構成を付加するものである。

【0011】

【作用】 請求項1の発明の構成により、アップダウンカウンタのディジタル値のステップ幅を変化させることによって、放送局の選局のサーチスピードを変化させることができる。ここで、アップダウンカウンタのカウント動作は、そのディジタル値のステップ幅の変化に関わらず、1種類の周波数のクロック信号に同期して行われるため、論理回路において完全同期回路を構成でき、動作

の安定性を向上することができる。また、選局のサーチスピードを、水平同期信号の有無、VHF受信とUHF受信との切り替え、又は、外部からの制御信号によって変化させることができる。このため、細部に亘って最適なサーチスピードを選択することができる。

【0012】また、請求項2の発明の構成により、アップダウンカウンタにおいて、カウントアップ時には、複数の増加分供給手段の中から適当な増加分を持つ増加分供給手段を選択することによって、適当なステップ幅が加算されたデジタル値を得ることができ、カウントダウン時には、複数の減少分供給手段の中から適当な減少分を持つ減少分供給手段を選択することによって、適当なステップ幅だけ減算されたデジタル値を得ることができる。このように、最適なサーチスピードを選択するために、デジタル値のステップ幅を変化させることができ、アップダウンカウンタを簡単な構成で実現することができる。

【0013】さらに、請求項3の発明の構成により、アップダウンカウンタが1未満の値に重みられたフリップフロップを有することによって、1未満の増加分又は1未満の減少分を得ることができる。従って、従来は不可能であった1未満の値を単位としたカウンタ値の増減が可能となり、選局のサーチスピードの調整をより細かく行なうことができる。

【0014】

【実施例】以下、本発明の第1の実施例に係る選局回路について図面を参照しながら説明する。

【0015】図1は第1の実施例の選局回路の構成を示す。図1において、1は同調電圧発生カウンタとしてのアップダウンカウンタであり、アップダウンカウンタ1の出力はデジタルアナログ変換回路にてアナログ電圧に変換され、チューナー部に供給される。2は映像信号検出回路を示し、映像信号の有無が判断される。3はUHF受信とVHF受信との切り替えを行なうUHF/VHF切り替え回路を示す。映像信号検出回路2からの信号やUHF/VHF切り替え回路3からの信号や外部ピンからの手動の信号はセレクタ4により選択され、アップダウンカウンタ1に送られる。アップダウンカウンタ1では選択された信号を基にしてカウントのステップ幅が決定される。

【0016】図2はアップダウンカウンタ1の回路構成を示す。ここでは、14ビットのバイナリアップダウンカウンタの例を示している。図2において、5Aは14個のDフリップフロップから構成される14ビットDFFブロックである。6A～9Aはインクリメント（増加分供給手段）としての機能とデクリメント（減少分供給手段）としての機能とを合わせ持つ増減分供給手段を表す。例えば、アップダウン切り替えピンUPにより、増減分供給手段6A～9Aの機能としてインクリメントが選択され、アップダウンカウンタ1はアップモードに設

定されているとし、以下説明する。14個のDフリップフロップから構成される14ビットDFFブロック5Aからの14本の出力は、インクリメント量が“+1”的インクリメント6Aからインクリメント量が“+4”的インクリメント9Aまで供給される。インクリメント6A～9Aからの出力はセレクタ10Aに供給され、セレクタ10Aの出力は14ビットDFFブロック5Aに供給される。これにより、インクリメント量が可変なアップダウンカウンタが構成される。インクリメント量は、映像信号検出回路2の出力、UHF/VHF切り替え回路3の出力及び外部ピンからの出力のうちの何れかの出力により決定される。

【0017】なお、アップダウンカウンタ1がダウンモードに設定された場合も同様である。

【0018】以下、本発明の第2の実施例に係る選局回路について図面を参照しながら説明する。なお、第2の実施例の選局回路の構成はアップダウンカウンタを除き第1の実施例と同様である。

【0019】図3は第2の実施例の選局回路が備えるアップダウンカウンタの回路構成を示す。図3において、5Bは16個のDフリップフロップから構成される16ビットDFFブロックである。追加された2個のDフリップフロップはそれぞれ1/2と1/4とに重み付けられ、カウンタ出力としては上位14ビットのみが出力される。6B～9Bはインクリメントとしての機能とデクリメントとしての機能とを合わせ持つ第1の実施例と同様の増減分供給手段、10Bは第1の実施例と同様のセレクタである。この構成により、例えば、アップダウンカウンタがアップモードに設定された場合には、インクリメント量は1/4、1/2、3/4、1となる。この結果、サーチスピードはより細かく調整することができる。

【0020】なお、アップダウンカウンタがダウンモードに設定された場合も同様である。

【0021】

【発明の効果】以上説明したように、請求項1の発明に係る選局回路によると、同調電圧発生カウンタとしてのアップダウンカウンタのデジタル値のステップ幅を変化させることによって、放送局の選局のサーチスピードを変化させることができる。ここで、アップダウンカウンタのカウント動作は、常に1種類のクロック信号に同期して行われるため、完全同期回路を構成でき、動作の安定性を向上することができる。また、選局のサーチスピードを、水平同期信号の有無、VHF受信とUHF受信との切り替え、又は、外部からの制御信号によって変化させることができるために、細部に亘って最適なサーチスピードを選択することができる。

【0022】また、請求項2の発明に係る選局回路によると、デジタル値のステップ幅を変化させることができ、アップダウンカウンタを簡単な構成で実現すること

ができる。

【0023】さらに、請求項3の発明に係る選局回路によると、従来は不可能であった1未満の値を単位としたカウンタ値の増減が可能となり、選局のサーチスピードの調整をより細かく行なうことができる。

【0024】以上のように、本発明によると、動作の安定性を向上でき、細部に亘って最適なサーチスピードを選択できる選局回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る選局回路の構成を示すブロック図である。

【図2】前記第1の実施例に係る選局回路のアップダウンカウンタの構成を示すブロック図である。

【図3】本発明の第2の実施例に係る選局回路のアップ

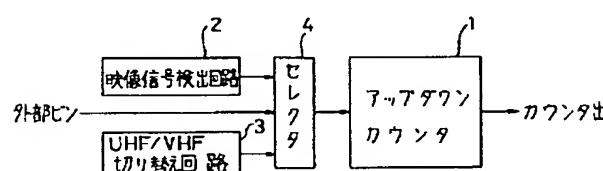
ダウンカウンタの構成を示すブロック図である。

【図4】従来の選局回路の構成を示すブロック図である。

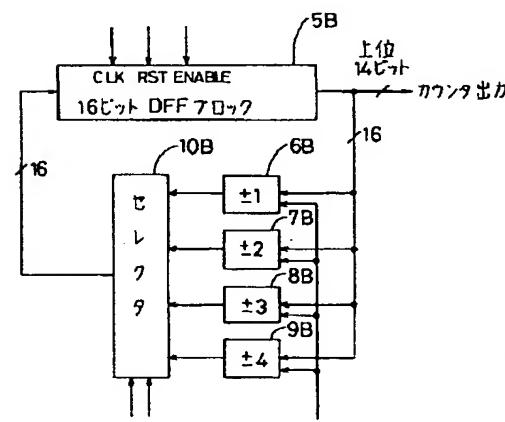
【符号の説明】

- 1 アップダウンカウンタ
- 2 映像信号検出回路
- 3 UHF／VHF切り替え回路
- 4 セレクタ
- 5A 14ビットDFFブロック
- 5B 16ビットDFFブロック
- 6A～9A, 6B～9B 増減分供給手段（インクリメント、デクリメント）
- 10A, 10B セレクタ

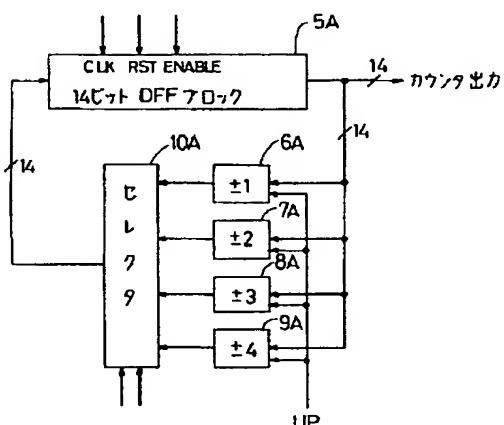
[图11]



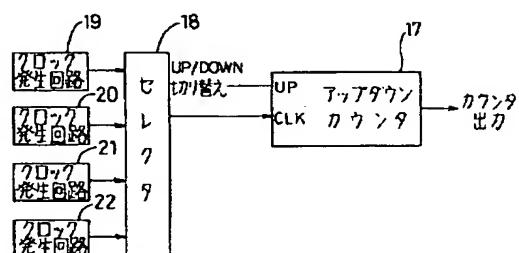
[图3]



[図2]



[図4]



フロントページの続き

(72)発明者 大林 俊之
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内